

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月19日

出 願 番 号

Application Number:

特願2003-076026

[ST.10/C]:

[JP2003-076026]

出 願 人

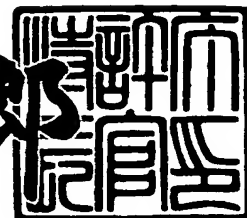
Applicant(s):

テクトロニクス・インターナショナル・セールス・ゲーエム
ベーパー

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025957

【書類名】 特許願

【整理番号】 JPN7465-1

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/13

【発明者】

【住所又は居所】 東京都品川区北品川 5 丁目 9 番 3 1 号 日本テクトロニクス株式会社内

【氏名】 高橋 久雄

【発明者】

【住所又は居所】 東京都品川区北品川 5 丁目 9 番 3 1 号 日本テクトロニクス株式会社内

【氏名】 奥田 秀明

【発明者】

【住所又は居所】 東京都品川区北品川 5 丁目 9 番 3 1 号 日本テクトロニクス株式会社内

【氏名】 大宮 不二彦

【発明者】

【住所又は居所】 東京都品川区北品川 5 丁目 9 番 3 1 号 日本テクトロニクス株式会社内

【氏名】 酒井 良一

【発明者】

【住所又は居所】 東京都品川区北品川 5 丁目 9 番 3 1 号 日本テクトロニクス株式会社内

【氏名】 高井 亨

【特許出願人】

【識別番号】 503050951

【氏名又は名称】 テクトロニクス・インターナショナル・セールス・ゲー
エムベーハー

【氏名又は名称原語表記】 Tektronix International Sales GmbH

【国籍】 スイス

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 榮二

【電話番号】 03-3291-6251

【先の出願に基づく優先権主張】

【出願番号】 特願2002-350436

【出願日】 平成14年12月 2日

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0302546

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ジッタ付加回路及び方法並びにパルス列生成回路及び方法

【特許請求の範囲】

【請求項 1】 基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延して出力可能な複数の遅延手段と、

上記複数の遅延手段の出力を合成して出力する信号合成手段と、

上記複数の遅延手段夫々における上記パルスの上記立ち上がりエッジ及び上記立ち下がりエッジの少なくとも一方の遅延時間を設定する遅延時間設定手段と、

上記複数の遅延手段の 1 つに上記パルスを選択的に供給するスイッチ手段と、

上記複数の遅延手段のうちの上記遅延時間設定手段による上記遅延時間の設定が完了した遅延手段に上記パルスを選択的に供給するよう上記スイッチ手段を制御するスイッチ制御手段とを具えるジッタ付加回路。

【請求項 2】 上記基準パルス列の上記パルスを遅延して上記スイッチ手段に供給する入力遅延手段を更に具え、

上記スイッチ制御手段が上記パルスをトリガとして上記スイッチ手段による上記パルスの上記遅延手段への選択的供給を制御することを特徴とする請求項 1 記載のジッタ付加回路。

【請求項 3】 上記遅延時間設定手段は、時間に対する上記遅延時間の変化が所望の関数となる制御を行うことを特徴とする請求項 1 又は 2 のいずれかに記載のジッタ付加回路。

【請求項 4】 上記遅延手段は、非反転及び反転出力を供給するバッファ回路と、上記非反転出力を受けて設定された遅延時間だけ遅延する第 1 遅延回路と、該第 1 遅延回路の出力をワンショット・パルスに変換する第 1 ワンショット・パルス回路と、上記反転出力を受けて設定された遅延時間だけ遅延する第 2 遅延回路と、該第 2 遅延回路の出力をワンショット・パルスに変換する第 2 ワンショット・パルス回路と、上記第 1 ワンショット・パルス回路の出力で第 1 ロジック状態になり上記第 2 ワンショット・パルス回路の出力で第 2 ロジック状態になる論理回路とを有することを特徴とする請求項 1 乃至 3 のいずれかに記載のジッタ

付加回路。

【請求項 5】 基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に付加する遅延時間を、連続するインターバル毎に設定するステップと、

上記立ち上がりエッジ及び上記立ち下がりエッジの少なくとも一方に対して上記インターバル毎に設定した上記遅延時間を付加した上記パルスの列を、対応する上記インターバルの順番通りに出力するステップとを具えるパルス列生成方法。

【請求項 6】 上記遅延時間を上記インターバル毎に設定し、連続する該インターバルに対する上記遅延時間の変化が所望の関数となるよう制御することを特徴とする請求項 5 記載のパルス列生成方法。

【請求項 7】 基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に付加する遅延時間が所望のインターバル毎に設定可能となっており、連続する上記インターバルに対する上記遅延時間の変化が所望の関数となるよう制御することを特徴とするパルス列生成方法。

【請求項 8】 上記関数のパラメータを設定することにより、上記パルスの上記立ち上がりエッジ及び上記立ち下がりエッジの少なくとも一方に付加する上記遅延時間を設定することを特徴とする請求項 7 記載のパルス列生成方法。

【請求項 9】 複数の遅延手段の中から選択された第 1 の遅延手段に基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を設定するステップと、

上記基準パルス列を上記第 1 の遅延手段で遅延して出力端子に供給するステップと、

上記複数の遅延手段の中の上記第 1 の遅延手段以外から選択された第 2 の遅延手段に上記基準パルス列の上記パルスの上記立ち上がりエッジ及び上記立ち下がりエッジの少なくとも一方の遅延時間を設定するステップと、

上記基準パルス列の供給先を上記第 1 の遅延手段から上記第 2 の遅延手段に切り替えるステップと、

上記基準パルス列を上記第 2 の遅延手段で遅延して上記出力端子に供給するス

テップとを具えるジッタ付加方法。

【請求項 1 0】 上記複数の遅延手段の夫々に設定する上記遅延時間を時間に対して変化させ、時間に対する上記遅延時間の変化が所望の関数となる制御を行うことを特徴とする請求項 9 記載のジッタ付加方法。

【請求項 1 1】 供給されるパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延して出力可能な複数の遅延手段と、

基準パルス列のデータを元にジッタを付加するパルスと、ジッタを付加しないパルスを上記複数の遅延手段に別々に供給するパルス供給手段と、

上記複数の遅延手段の出力を合成して出力する信号合成手段と、

上記複数の遅延手段夫々における上記パルスの上記立ち上がりエッジ及び上記立ち下がりエッジの少なくとも一方の遅延時間を設定する遅延時間設定手段とを具え、

上記ジッタを付加しないパルスが供給された上記遅延手段の上記遅延時間は固定とする一方、上記ジッタを付加するパルスが供給された上記遅延手段の上記遅延時間の設定は順次変更することを特徴とするパルス列生成回路。

【請求項 1 2】 基準パルス列のデータを元にジッタを付加するパルスと、ジッタを付加しないパルスを別々に生成する第 1 ステップと、

上記ジッタを付加するパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延する第 2 ステップと、

上記ジッタを付加しないパルスと上記第 2 ステップで遅延されたパルスを合成する第 3 ステップとを具え、

第 1 乃至第 3 ステップを繰り返す度に上記第 2 ステップにおける上記遅延時間を所望の関数に従って変化させることを特徴とするパルス列生成方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基準パルス列の各パルスのエッジに対してジッタを付加して出力できるジッタ付加回路及び方法並びにパルス列生成回路及び方法に関し、所望のジ

ッタ量を正確に付加してパルスを出力できるジッタ付加回路及び方法並びにパルス列生成回路及び方法に関する。

【 0 0 0 2 】

【従来の技術】

【特許文献 1】

特開平 7 - 9 5 0 2 2 号公報

【特許文献 2】

特開平 6 - 1 1 2 7 8 5 号公報

【特許文献 3】

特開昭 5 1 - 7 8 6 2 4 号公報

【特許文献 4】

特開平 6 - 1 0 4 7 0 8 号公報

【特許文献 5】

特公平 7 - 9 7 1 3 0 号公報

【 0 0 0 3 】

デジタル信号処理が行われる回路においては、入力される複数のパルスの列（以下、パルス列と呼ぶ）が常に理想的な状態とは限らず、外部からのノイズなどによって、ジッタが生じてしまう場合もある。そこで、パルス列中のパルスにある程度のジッタが含まれていても、正常に動作できるように回路を設計しておく必要がある。そして回路の試作段階では、ジッタを含んだパルス列を実際に試作回路に流し、ジッタを含むパルス列が入力されても回路が正常に動作するか否かを検証しておくことも必要である。こうした試験をジッタ耐性試験と呼ぶ。

【 0 0 0 4 】

ジッタ耐性試験を行うには、ジッタを含んだ試験信号（パルス列）を用意する必要がある。この試験信号は、被試験デジタル回路に通常供給される正常なパルス列を基準（この意味で以下では基準パルス列と呼ぶ）として、これにジッタを付加して生成できれば、正常な信号と対比しながら試験できる点で効果的である。このとき、エッジにジッタを付加するには、具体的には、基準となるパルスのエッジに遅延を付加し、更にその遅延時間を連続的に可変させれば良い。

【 0 0 0 5 】

回路に入力されるパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を可変させる技術については、例えば、特開平 7 - 9 5 0 2 2 号公報（特許文献 1）に開示されており、図 2 はそのブロック図を示している。バッファ 1 は、入力パルス列を受けて非反転及び反転出力し、これら出力を遅延回路 2 及び 3 に夫々供給する。遅延回路 2 及び 3 での遅延時間は、第 1 及び第 2 遅延設定信号を受けて夫々独立に設定可能となっている。アンド・ゲート 4 は、遅延回路 2 の出力とバッファ 1 の非反転出力を受けて、これらの論理積を S R フリップフロップ 6 の S 入力端子に供給する。また、アンド・ゲート 5 は、遅延回路 3 の出力とバッファ 1 の反転出力を受けて、これらの論理積を S R フリップフロップ 6 の R 入力端子に供給する。よって、S R フリップフロップ 6 の出力パルスの立ち上がりエッジのタイミングは、S R フリップフロップ 6 の S 入力端子への入力信号によって定まり、一方、立ち下がりエッジのタイミングは R 入力端子への入力信号によって定まる。

【 0 0 0 6 】

図 3 は、図 2 に示す従来例のタイミング・チャートである。この図からわかるように、図 2 に示す従来例では、アンド・ゲート 4 の出力が、入力パルスが立ち上がる時点 t_1 に対して t_{d1} だけ遅延した時点で立ち上がり、これによって S R フリップフロップ 6 の出力の立ち上がりエッジを定めていることがわかる。また、アンド・ゲート 5 の出力が入力パルスの立ち下がる時点 t_2 に対して t_{d2} だけ遅延した時点で立ち下がり、これによって S R フリップフロップ 6 の出力の立ち下がりエッジを定めていることがわかる。これらの遅延時間 t_{d1} 及び t_{d2} は、第 1 及び第 2 遅延設定信号によって夫々独立に設定される。

【 0 0 0 7 】

特許文献 1 の図 3 には、遅延回路 2 及び 3 の具体的な実施例として、ランプ波形を可変の基準電圧と比較することにより、遅延時間を変化させるアナログ的方法が開示されている。このとき、遅延回路における遅延時間は、ユーザが設定した通り正確で入力パルス列の幅広い周波数に対応可能であることが望ましい。しかし、このアナログ的方法では、特に高周波においてランプ波形を線形に形成す

るのは困難なため、高周波において所望通りの正確な遅延量を得るのは困難である。また、比較器におけるランダム・ジッタのため、小さな遅延量を正確に得るのが難しいという問題もある。

【 0 0 0 8 】

一方、特許文献 1 の図 4 には、複数段の遅延回路を選択的に接続することにより遅延時間を変化させるデジタル的方法が開示されている。このデジタル的方法では、各遅延回路の遅延時間を固定にすることで、入力パルス列の幅広い周波数に対して、正確な遅延時間を設定可能になる。また、各遅延回路の遅延時間を短くする一方、縦列接続する段数を多くすれば、遅延時間も比較的細かく且つ短い時間から長い時間まで幅広く設定可能になる。図 9 は、このデジタル遅延回路の等価回路のブロック図である。ここでは、遅延線 D L と結線 S L の対を 4 個縦列に並べ、これらを選択的に接続できる構造となっている。4 個の遅延線 D L には、それぞれ固有の遅延時間があり、結線 S L では遅延時間は生じない。そして、スイッチ S W でいくつの遅延線 D L を接続するかによって、遅延時間を変化させることができる。

【 0 0 0 9 】

なお、これらの技術は、特開平 6 - 1 1 2 7 8 5 号公報（特許文献 2）にも同様なものが記載されている。また、ランプ波形を可変の基準電圧と比較することで遅延時間を変化させるアナログ的手法に関しては、更に出願日が前の特開昭 5 1 - 7 8 6 2 4 号公報（特許文献 3）及び特開平 6 - 1 0 4 7 0 8 号公報（特許文献 4）にも記載されている。

【 0 0 1 0 】

ところで、基準となるパルス列には、I C パッケージなどが実際に出力するものを用いても良いが、この場合だと多数種類のパルス列を得ようとすれば、それだけ多数の I C パッケージを用意しなければならず、不便である。そこで、メモリに必要とするパルス列のデータを書き込んでおき、このデータからパルス列を生成する装置が開発されている。こうした装置は、例えば、特公平 7 - 9 7 1 3 0 号公報などに記載されている。

【 0 0 1 1 】

【発明が解決しようとする課題】

図 9 に示すようなデジタル遅延回路では、遅延時間を正確に設定可能なものの、設定する遅延時間をダイナミックに変化させた場合に次の問題が生じる。即ち、もし大きな遅延時間を設定した後に続けて小さな遅延時間を設定した場合、先に入力されたパルスが複数段ある遅延線 DL のどれかに残っていて、後から入力されたパルスが先に最後の遅延線の出力端子に達してしまい、入力パルスの順番が入れ替わる又は前後のパルスが混ざるという問題が生じる。こうしたことから、特開平 7 - 9 5 0 2 2 号公報等が開示する技術は、パルスのエッジを遅延させることはできるものの、遅延時間を連続して高速に変化させることには適していない。即ち、遅延時間を連続して高速に変化させることが必須のジッタ発生に適したものではない。

【0 0 1 2】

一方、ランプ波形を用いたアナログ的方法では、ランプ波形と比較する基準電圧を変化させれば、遅延時間も連続的に変化させることができるが、上述の如くランプ波形を線形にするのが困難なために、ユーザが希望するとおりの正確な遅延時間を得ることができない。

【0 0 1 3】

また、図 2 に示す従来例では、第 1 遅延回路 2 での遅延時間 t_{d1} が、時点 $t_1 \sim t_2$ に係る入力パルスのパルス幅 P_{w1} より短い場合には、アンド・ゲート 4 の出力に立ち上がりエッジを生じる。しかし、第 1 遅延回路 2 に第 1 遅延設定信号で設定される遅延時間が入力パルスのパルス幅 P_{w1} より長い場合、例えば、図 2 i) に示す t_{d3} だった場合を仮に想定すると、第 1 遅延回路 2 とバッファ 1 の出力の論理積を取っても、時点 t_1 から t_{d3} だけ遅れた時点においてアンド・ゲート 4 の出力には立ち上がりエッジが生じない。よって、第 1 遅延回路 2 に設定された遅延時間 t_{d3} が、SR フリップフロップ 6 の出力信号の立ち上がりエッジの形では反映されないことになってしまう。これは、立ち下がりエッジに関しても同様である。

【0 0 1 4】

本発明は、こうした課題を解決しようとするもので、基準パルス列の各パルス

の立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に対し、ユーザが設定した通りの正確な遅延時間を付加できると同時に、この遅延時間を連続して変更可能にすることで、パルスの各エッジに効果的にジッタを付加できるジッタ付加回路を提供しようとするものである。また、別の観点から見れば、同様の趣旨で各エッジにジッタを付加したパルス列を生成可能なジッタ付加パルス列生成方法を提供しようとするものである。更には、複数のパルスの内、所望のパルスにのみジッタが付加されたパルス列を生成する発明についても本願は開示する。

【 0 0 1 5 】

【課題を解決するための手段】

本発明のジッタ付加回路は、次のように構成される。遅延手段が複数あり、これらは基準パルス列の各パルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延して出力可能となっている。信号合成手段は、複数の遅延手段の出力を合成して出力する。遅延時間設定手段は、複数の遅延手段夫々におけるパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を設定する。スイッチ手段は、複数の遅延手段の1つにパルスを選択的に供給する。スイッチ制御手段は、複数の遅延手段のうちの遅延時間設定手段による遅延時間の設定が完了した遅延手段にパルスを選択的に供給するようスイッチ手段を制御する。

【 0 0 1 6 】

このとき、基準パルス列のパルスを遅延してスイッチ手段に供給する入力遅延手段を更に具えるようにしても良い。これによれば、スイッチ制御手段は、パルスをトリガとして利用して、スイッチ手段によるパルスの遅延手段への選択的供給を制御することができる。各遅延手段をパルスが通過している間は、遅延時間の設定変更をしないので、通過するパルスの順序が前後することはない。よって、複数ある遅延手段には複数の遅延素子を選択的に接続するデジタル式の遅延回路を用いても良い。更に、こうしたデジタル式の遅延回路を用いることとで、各エッジにユーザが設定する通りの正確な遅延を付加できるので、遅延時間設定手段により、時間に対する遅延時間の変化が所望の関数となる制御を行うことも可能となる。

【 0 0 1 7 】

遅延手段のより具体的構成としては、非反転及び反転出力を供給するバッファ回路と、非反転出力を受けて設定された遅延時間だけ遅延する第1遅延回路と、第1遅延回路の出力をワンショット・パルスに変換する第1ワンショット・パルス回路と、反転出力を受けて設定された遅延時間だけ遅延する第2遅延回路と、第2遅延回路の出力をワンショット・パルスに変換する第2ワンショット・パルス回路と、第1ワンショット・パルス回路の出力で第1ロジック状態になり第2ワンショット・パルス回路の出力で第2ロジック状態になる論理回路とで構成しても良い。この構成によれば、パルスの各エッジに加える遅延時間をパルス幅による制限を受けずに設定することが可能となる。

【 0 0 1 8 】

本発明は、別の見方によれば、パルス列生成方法であって、基準パルス列の各パルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に付加する遅延時間を、連続するインターバル毎に設定するステップと、立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に対してインターバル毎に設定した遅延時間を付加したパルスの列を、対応するインターバルの順番通りに出力するステップとで構成される。このとき更に、遅延時間をインターバル毎に設定し、連続するインターバルに対する遅延時間の変化が所望の関数となるよう制御しても良い。

【 0 0 1 9 】

本発明は、更に別の見方によれば、基準パルス列の各パルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に付加する遅延時間が所望のインターバル毎に設定可能となっており、連続するインターバルに対する遅延時間の変化が所望の関数となるよう制御することを特徴とするパルス列生成方法と考えるても良い。更に言えば、インターバルは、時間の長さであるから、時間に対してエッジに付加する遅延時間の変化が所望の関数となるよう制御していると考えても良い。

【 0 0 2 0 】

上述のパルス列生成方法においては、インターバルの長さを固定又は任意に設

定しても良い。これにより、エッジに付加する遅延時間を設定できることと相まって、多様なジッタを含むパルス列を生成できる。

【 0 0 2 1 】

本発明は、更にジッタ付加方法を提供する。この方法は、複数の遅延手段の中から選択された第 1 の遅延手段に基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を設定するステップと、基準パルス列を第 1 の遅延手段で遅延して出力端子に供給するステップと、複数の遅延手段の中の第 1 の遅延手段以外から選択された第 2 の遅延手段に基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を設定ステップと、基準パルス列の供給先を第 1 の遅延手段から第 2 の遅延手段に切り替えるステップと、基準パルス列を第 2 の遅延手段で遅延して出力端子に供給するステップとを具えている。このとき、複数の遅延手段の夫々に設定する遅延時間を時間に対して変化させ、時間に対する遅延時間の変化が所望の関数となる制御を行うようにしても良い。

【 0 0 2 2 】

本発明の応用としては、基準パルス列の内の所望のパルスにのみジッタを有するパルス列を生成することもできる。複数の遅延手段は、供給されるパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延して出力可能となっている。パルス供給手段は、基準パルス列のデータを元にジッタを付加するパルスと、ジッタを付加しないパルスを複数の遅延手段に別々に供給する。遅延時間設定手段は、複数の遅延手段夫々におけるパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方の遅延時間を設定する。このとき、ジッタを付加しないパルスが供給された遅延手段の遅延時間は固定とする一方、ジッタを付加するパルスが供給された遅延手段の遅延時間の設定は順次変更するようにする。こうした複数の遅延手段から得られたパルス列を、信号合成手段は合成して出力するようにする。

【 0 0 2 3 】

本発明は、また、基準パルス列の一部分のパルスにのみジッタを有するパルス列の生成方法を提供する。この方法は、基準パルス列のデータを元にジッタを付

加するパルスと、ジッタを付加しないパルスを別々に生成する第 1 ステップと、ジッタを付加するパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方を設定された遅延時間だけ遅延する第 2 ステップと、ジッタを付加しないパルスと第 2 ステップで遅延されたパルスを合成する第 3 ステップとを具え、第 1 乃至第 3 ステップを繰り返す度に第 2 ステップにおける遅延時間を所望の関数に従って変化させることを特徴とする。これによって、更に多彩なジッタを含むパルス列を生成可能にしている。

【 0 0 2 4 】

【発明の実施の形態】

本発明によるジッタ付加回路は、基準となるパルス列が入力されたときに、このパルスのエッジの遅延時間を連続して高速且つ正確に変更可能とすることで、結果的にパルスのエッジにジッタを付加することを可能にしている。入力されるパルス列は、例えば、種々のデジタル回路で使用する正常な信号である。本発明のジッタ付加回路を用いてジッタを有するパルス列をこうしたデジタル回路（被試験デジタル回路）に供給することで、どの程度までのジッタであればそのデジタル回路が誤動作することがないかを調べるジッタ耐性試験を実施できる。尚、以下に述べる実施形態は、本発明の好ましい具体例であるから技術的に好ましい種々の限定が付されているが、本発明は以下の態様に限られるものではない。

【 0 0 2 5 】

図 1 は、本発明の実施形態の一例を示すブロック図である。図 1 には示さないものの、本発明のジッタ付加回路は、表示装置、キーボード、マウス、CPU、RAM、ハードディスクなど周知のマイクロプロセッサ・システムを有しており、本発明を実施するためのコンピュータ・プログラムは例えばハードディスクなどの記憶手段に記憶させておけば良い。

【 0 0 2 6 】

ジッタ付加の対象となる基準のパルス列は、入力遅延回路 1 0 及びスイッチ制御回路 1 2 に入力される。スイッチ制御回路 1 2 は、切替ステートと非切替ステートの 2 つのステートがあり、後述のように切替ステートのときに入力パルスを受けると、その立ち上がりエッジでスイッチ 1 4 を端子 1 4 A から端子 1 4 B へ

又は端子14Bから端子14Aへと切り替る。よって、スイッチ14は、スイッチ制御回路12の制御に従って、第1遅延ブロック16及び第2遅延ブロック18のいずれか一方に入力パルス列を供給する。

【0027】

第1遅延ブロック16は、立ち上がりエッジ及び立ち下がりエッジの夫々を独立に設定した遅延時間だけ遅延して出力する回路である。第1バッファ20は、スイッチ14から入力パルス列を受け、非反転出力を第1遅延回路22に供給し、反転出力を第2遅延回路24に供給する。第1及び第2遅延回路22及び24の出力は、夫々第1及び第2ワンショット・パルス回路26及び28で、ワンショット・パルスに変換される。SRフリップフロップ30の出力は、第1ワンショット・パルス回路26の出力でH（ハイ：第1ロジック状態）になり、第2ワンショット・パルス回路28の出力でL（ロー：第2ロジック状態）になる。即ち、第1ワンショット・パルス回路26の出力で立ち上がりエッジが決まり、第2ワンショット・パルス回路28の出力で立ち下がりエッジが決まる。

【0028】

図4は、第1遅延ブロック16を構成する各要素における動作を示すタイミング・チャートである。ここに示す例においては、第1遅延回路22は、図4dに示すように、バッファ20の非反転出力をユーザが設定した遅延時間 t_{d4} だけ遅延させる。また、第2遅延回路24は、図4fに示すように、バッファ20の反転出力をユーザが設定した遅延時間 t_{d5} だけ遅延させる。よって、第1ワンショット・パルス回路26は、時点 t_1 から時間 t_{d4} 遅延した時点にワンショット・パルスを出力し（図4e）、第2ワンショット・パルス回路28は、時点 t_2 から時間 t_{d5} 遅延した時点にワンショット・パルスを出力する（図4g）。この結果、SRフリップフロップ30は、時点 t_1 から時間 t_{d4} 遅延した時点で立ち上がり、時点 t_2 から時間 t_{d5} 遅延した時点で立ち下がるパルスを出力する。別の見方によれば、時点 t_1 で立ち上がり、時点 t_2 で立ち下がるパルスが第1遅延ブロックに入力されると、時点 t_1 から時間だけ t_{d4} 遅延した時点で立ち上がり、時点 t_2 から時間だけ t_{d5} 遅延した時点で立ち下がるパルスに変換されることがもできる。

【0029】

図3及び図4を参照しつつ、図2に示す従来例と本発明を比較すると、図2の従来例では、第1遅延回路2の出力とバッファ1の非反転出力の論理積をSRフリップフロップに入力していたため、遅延時間がパルス幅 $Pw1$ より長い $td3$ になると、入力パルスがL（ロー）の位置で第1遅延回路の出力がHになる条件の場合には、アンド・ゲート4の出力がH（ハイ）にならず、よって、時点 $t1$ から $td3$ だけ遅れた時点においてSRフリップフロップ6の出力がHにならないという問題があった（図3i）。しかし、図1に示す例では、第1遅延回路22の出力が第1ワンショット・パルス回路でワンショット・パルスに変換されるため、遅延時間がパルス幅 $Pw1$ よりも長くなっても、SRフリップフロップの出力は問題なく立ち上がりHになる。これは、SRフリップフロップの出力の立ち下がりに関しても同様である。このように、本発明では、ワンショット・パルス回路を採用したことで、パルス幅に関係なく遅延時間を設定可能にしている。ただし、遅延時間がパルス幅より短いものだけで十分な場合も多い。この場合には、図2に示す従来技術と同じく、ワンショット・パルス回路を利用しない回路を用いても良い。

【0030】

遅延時間 $td4$ 及び $td5$ は、遅延時間設定回路44が第1遅延回路22及び第2遅延回路24に夫々設定する。設定データに応じて遅延時間が可変になる遅延回路については、上述の特開平7-95022号公報の図3及び図4に開示のものを初めとして種々のものが知られている（特許文献2～4など参照）。

【0031】

第2遅延ブロック18については、第1遅延ブロック16と構成が同じなので、詳細な説明は省略する。本発明では、同じ構成の第1及び第2遅延ブロックを設けることで、一方の遅延ブロックにパルスを通過させている間に、他方の遅延ブロックの遅延時間の設定を変更している。即ち、1つの遅延ブロックを複数のパルスが通過するときだけを見れば、遅延時間の設定は変更されないもので、遅延回路が複数段の遅延素子で構成したデジタル遅延回路の場合であっても、入力パルス列のパルスの順序を前後させることがない。しかも遅延ブロックの設定遅延時

間を交互に変更することで、2つの遅延ブロックを全体として見れば、連続的且つ高速に遅延時間を変更できるようになるので、効果的にジッタを付加することが可能になる。

【0032】

以下、本発明によるジッタ付加回路の切替動作について説明する。最初に、第1遅延ブロック16をパルス列が流れている状態から、第2遅延ブロック18に切り替える場合について説明する。ユーザがキーボード等のユーザ・インタフェースを通じ、遅延時間の切替と所望の遅延時間を設定すると、CPUを通じて遅延時間設定回路44が第2遅延ブロック18の第3及び第4遅延回路34及び36にパルスの立ち上がりエッジ及び立ち下がりエッジの遅延時間データを夫々設定する。遅延時間データの第3及び第4遅延回路34及び36への書込みが完了すると、遅延時間設定回路44はスイッチ制御回路12に書込み完了を知らせる。これによって、スイッチ制御回路12は、非切替状態から切替状態に移移する。切替状態になったところでスイッチ制御回路12がパルスの入力を受けると、スイッチ制御回路12は、その最初の立ち上がりエッジでスイッチ14を端子14A側から端子14B側に切り替えて、入力パルスを第2遅延ブロック18に供給できるようにスイッチ14を制御する。スイッチ制御回路12は、スイッチ14の接続端子を端子14A側から端子14B側に切り替えた後に再度非切替状態になる。

【0033】

このとき注意すべき点は、入力遅延回路10があるために、スイッチ14を端子14A側から端子14B側に切り替えるトリガとなった入力パルスは遅延し、スイッチ14が端子14A側から端子14B側に切り替わった後で、スイッチ14を通過するということである。逆に言えば、このタイミングとなるように入力遅延回路10の遅延時間が予め設定される。

【0034】

こうして入力された基準パルス列は、第1遅延ブロック16に供給されないようになり、遅延時間設定回路44は第1遅延ブロック16の第1及び第2遅延回路22及び24に次の遅延時間データを書き込む動作に移ることになる。しかし

、スイッチ 1 4 を切り替えた直後では、まだパルスが第 1 遅延ブロック 1 6 に残っているため、遅延時間設定回路 4 4 は第 1 遅延ブロック 1 6 中のパルスが全て信号合成回路 4 6 に出力されるタイミングまで、遅延時間データの第 1 及び第 2 遅延回路 2 2 及び 2 4 への書込み動作をしないように設定される。

【 0 0 3 5 】

遅延時間設定回路 4 4 は、第 1 遅延ブロック 1 6 の第 1 及び第 2 遅延回路 2 2 及び 2 4 への遅延時間データの書込みを完了すると、スイッチ制御回路 1 2 に書込み完了を知らせ、スイッチ制御回路 1 2 は、非切替状態から切替状態に遷移する。切替状態になったところでスイッチ制御回路 1 2 がパルスの入力を受けると、スイッチ制御回路 1 2 は、その最初の立ち上がりエッジでスイッチ 1 4 を端子 1 4 B 側から端子 1 4 A 側に切り替えて、入力パルス列を第 1 遅延ブロック 1 6 に供給できるようにスイッチ 1 4 を制御する。スイッチ制御回路 1 2 は、スイッチ 1 4 の接続端子を端子 1 4 B 側から端子 1 4 A 側に切り替えた後に再度非切替状態になる。以下、上述の動作を繰り返す。

【 0 0 3 6 】

上述のようにして第 1 及び第 2 遅延ブロック 1 6 及び 1 8 に設定する遅延時間データを交互に変化させると共に、スイッチ 1 4 の切り替えを繰り返し、入力パルスを供給する遅延ブロックを交互に切り替えると、出力されるパルスの各エッジに生じた遅延時間にもバラツキを生じさせることができる。即ち、結果として、出力パルスの各エッジにジッタを生じさせることができる。もちろん、遅延時間の設定を一定にすれば、ジッタのないパルスも出力できる。このように、本発明のジッタ付加回路は、設定次第で種々のジッタを含むパルスを出力できる。

【 0 0 3 7 】

スイッチ 1 4 の切替インターバル（周期）によっては、第 1 及び第 2 遅延ブロック 1 6 及び 1 8 を流れるパルスの個数が 1 個となる場合もあるし、複数個となる場合もある。スイッチ 1 4 の切替インターバルは、遅延時間データの各遅延回路へ書込みのタイミングも含めて CPU で制御される。もちろん、こうした CPU の制御は、ユーザの設定に応じて行われる。

【 0 0 3 8 】

また、上述の例では、スイッチ制御回路 1 2 は遅延時間設定回路 4 4 から遅延時間データの書き込み完了を知らせる信号を受けて、非切替ステートから切替ステートに遷移させている。しかし、非切替ステートから切替ステートに遷移させるタイミングは、CPU がスイッチ制御回路を直接制御することで行ってもよい。スイッチ制御回路 1 2 が非切替ステートから切替ステートに遷移するタイミングは、遅延時間設定回路 4 4 が次にパルスを通過させる遅延ブロックの各遅延回路に遅延時間データを書き込んだ後になることは間違いないが、遅延時間データの書き込みを終えた直後である必要はなく、任意に設定した待ち時間があつた後に切替ステートに遷移するようにしても良い。

【 0 0 3 9 】

第 1 及び第 2 遅延ブロック 1 6 及び 1 8 から出力された信号は、信号合成回路 4 6 で合成され、出力端子 4 8 に供給される。信号合成回路 4 6 は、第 1 及び第 2 遅延ブロック 1 6 及び 1 8 の両方の出力を合成する回路で、図 1 では論理和回路で実現する例を示す。しかし、これに限らず図 5 に示すような排他的論理和でも良い。更に言えば、どの論理回路でも組み合わせを工夫することで、2 つの入力に対して出力が H 又は L の 2 通りの出力を生成できるので、結局、論理合成はどのロジック回路を用いて行っても良い。なお、上述の説明においてロジック回路が負論理のときは、H 及び L の関係が逆になるので、L を第 1 ロジック状態、H を第 2 ロジック状態として考えれば良い。

【 0 0 4 0 】

上述の例では、2 つの遅延ブロックを交互に使用しているが、2 つに限らず、3 つ以上とすることも可能である。この場合、スイッチ 1 4 は、現在パルスが通過している遅延ブロックから、遅延時間の設定が完了した遅延ブロックへと選択的にパルスを供給するよう動作する。これによれば、ある遅延ブロックに関してその使用する順番が回ってくるまでの時間が相対的に長くなるので、その分だけ遅延時間データを書き込む時間を余計に取ることができ、結果として 1 つの遅延ブロックを使用する時間（インターバル）を短くできる。インターバルを短くできるということは、遅延時間の設定をそれだけ頻繁に変更可能になることになる。

【0041】

図6は、本発明によりジッタ付加されたパルス列とジッタの遅延時間の関係を示す概念図である。横軸は時間軸であるが、ここでは同じ入力パルス列（P1、P2、P3のみ示す）がn回繰り返し入力され、異なる遅延時間で遅延されて出力されたパルス列がn回重ねて表示された状態を示すので、時間軸 t_n としている。各パルスの各エッジ部分にある斜線部分は、そこにジッタがあることを示す。縦軸は時間軸 t であり、ここでは特に時間経過とともにパルスP1の立ち上がりエッジに関する遅延時間 t_{d4} がどのように変化するかを示している。

【0042】

ジッタ付加回路に入力された基準パルス列は、第1遅延ブロック16と第2遅延ブロック18を交互に通過するが、遅延ブロック夫々を使用している期間（インターバル）D1k及びD2kにおける立ち上がりエッジの遅延時間はそれぞれ t_{d4-1k} 及び t_{d4-2k} と設定される。なお、図6中の添え字kは、任意の整数である。第1遅延ブロック16と第2遅延ブロック18それぞれのインターバルD1k及びD2kは、上述の如く、他方ブロックでの遅延時間データ書込み時間を下回らない範囲でユーザが任意に設定できる。また、各ブロックの遅延時間 t_{d4-1k} 及び t_{d4-2k} もユーザが任意に設定できる。インターバルD1又はD2において、パルスは1個しか入力されないこともあるが、複数個入力されることもある。

【0043】

ところで、図6に示す遅延時間 t_{d4} は、インターバル毎に不連続に（即ち、連続するインターバルに対して滑らかではなく、ステップ状に飛び飛びに）変化しているが、全体としてはおおよそ正弦波（点線で示す）に沿って変化していることがわかる。これは偶然ではなく、このように遅延時間が推移するように設定しているからである。このとき、連続するインターバルに対する遅延時間の変化を表す波形を以下では遅延時間推移波形と呼び、遅延時間推移曲線の細かな変化を無視し、全体の大きな変化を表す曲線を遅延時間推移概略曲線と呼ぶことにする。

【0044】

遅延時間推移概略曲線は、図 6 に示す正弦波に限られるものでなく、三角波等種々のものがユーザの希望に応じて設定される。図 7 は、遅延時間推移概略曲線が三角波である場合の一例を示す。また、図 8 は、遅延時間推移概略曲線が更に他の関数曲線である場合の例を示す。遅延時間推移概略曲線を所望の関数曲線形状となるよう制御するには、第 1 及び第 2 遅延ブロックの切替時間と各遅延ブロックでの遅延時間を制御すればよく、こうした制御は本発明の回路を用いれば、ハードディスクに予め記憶させたコンピュータ・プログラムを用いて実現できる。なお、図 6 乃至図 8 では、第 1 遅延ブロックと第 2 遅延ブロックを同じインターバル（使用期間）で交互に切り替える例を示しているが、各ブロックのインターバルを毎回変えるように制御しても良い。これにより、更に複雑なジッタが付加可能になる。

【 0 0 4 5 】

図 1 0 は、本発明によるジッタを付加したパルス列と基準パルス列の関係を時間軸上から比較した波形図である。基準パルス列の各パルスの立ち上がりエッジ及び立ち下がりエッジは、インターバル単位で遅延される。図 1 0 a は、インターバルの順番を時系列に示し、説明の便宜上、インターバル 1、インターバル 2 のように各インターバルに時系列順に番号を付している。ここでは、インターバル 5 までしか示さないが、その後も同様である。図 1 0 b は、各インターバルにおける立ち上がりエッジ及び立ち下がりエッジ夫々の設定された遅延時間をカッコ内にカンマで区切って示している。例えば、インターバル 1 におけるパルスの立ち上がりエッジの遅延時間は 1 0 p s（ピコ秒）、立ち下がりエッジの遅延時間は 2 0 p sであることを示す。図 1 0 c は、基準パルス列を示す。図 1 0 d は、基準パルス列の各パルスの各エッジについて、インターバル毎に上述の設定した遅延時間を付加したジッタ付加パルス列を示す。

【 0 0 4 6 】

図 1 に示す回路例であれば、例えば、奇数番のインターバルについては第 1 遅延ブロック 1 6 が各エッジに遅延を付加し、偶数番のインターバルについては第 2 遅延ブロック 1 8 が各エッジに遅延を付加することで実現される。図 1 0 では、各インターバルの長さが一定の例を示しているが、任意に変更しても良い。各

インターバルの長さでエッジの遅延時間の組み合わせにより、種々のジッタを含むパルス列が生成可能となる。

【 0 0 4 7 】

図 1 0 では示していないが、先に説明したように、連続するインターバルに対するパルスの各エッジの遅延時間の変化が所望の関数となるように設定しても良い。この場合では、遅延時間の設定をインターバル毎ではなく、例えば、使用する関数のパラメータで指定しても良い。即ち、ユーザは使用する関数（正弦波、三角波など）、周波数、振幅等を指定するようにして、インターバルの 1 つ 1 つに設定する各エッジの遅延時間については内蔵する CPU が算出することにより、ユーザ自身が各インターバルでの遅延時間を直接設定しなくても良いようにしても良い。

【 0 0 4 8 】

ところで、図 1 0 からわかるように、本発明によれば、各インターバル中のパルス列についてはそのパルスの順番が前後する恐れはない。しかし、隣接するインターバルの境界付近のパルスに関して、順序が前後する可能性がある。即ち、隣接する 2 つのインターバルにおいて、例えば、前のインターバルにおける立ち上がりエッジの遅延時間を長くし、後のインターバルにおける立ち上がりエッジの遅延時間を短くした場合などである。しかし、これは、前のインターバルにおける立ち上がりエッジの遅延時間を、後のインターバルにおけるそれに比べて極端に長くしないように制御することで防止できる。それは、例えば、上述したように連続するインターバルに対する遅延時間の変化を正弦波のような連続的に変化する関数とすることでも実現可能となる。

【 0 0 4 9 】

図 1 1 は、本発明の他の実施形態の例を示すブロック図である。パルス供給（データ・パターン発生）回路 1 は、パルス列のデータを記憶するメモリ、回路動作の基準となるクロック発振回路、データを実際のパルス列信号として出力するためのドライブ回路等から構成されるもので、例えば、特公平 7 - 9 7 1 3 0 号公報に開示されているようなものを使用すれば良い。

【 0 0 5 0 】

図 1 1 では、パルス供給回路 1 については、その主要機能のみを機能ブロック図の形で示している。また、図 1 2 は、図 1 1 の動作を説明する波形図である。

【 0 0 5 1 】

パルス供給回路 1 は、基準パルス列に対応するデータ 0 をメモリ 2 中に記憶している。ユーザが基準パルス列の一部のパルスにジッタをもつパルス列を生成したい場合には、表示装置、キーボード等のユーザ・インタフェース（図示せず）を通じて、部分ジッタ・モードを選択し、基準パルス列の複数のパルスからジッタを付加するパルスを選択することによって、ジッタが付加されるパルスが指定される。ジッタを付加するパルスの選択は、パルスを 1 個ずつ選択しても良いが、基準パルス列のジッタを付加したい期間を指定し、その期間に含まれるパルスをジッタを付加するパルスとしても良い。

【 0 0 5 2 】

ジッタを付加するパルスが指定されると、図 1 2 (i)～(iii)に示すように、パルス供給回路 1 は、ジッタを付加しないパルスに対応するデータ 1 と、ジッタを付加するパルスに対応するデータ 2 とを、データ 0 を部分的にコピーすることによって生成する。これらデータ 1 及びデータ 2 は、第 1 及び第 2 ドライブ回路 3 及び 4 において実際のパルス信号に変換され、第 1 及び第 2 遅延ブロック 1 6 及び 1 8 のそれぞれに、基準パルス列の長さで定まる期間（周期）で繰り返し供給される。

【 0 0 5 3 】

ユーザが部分ジッタ・モードを選択した場合には、第 1 遅延ブロックに設定される遅延時間は複数周期に渡って固定となる。一方、第 2 遅延ブロックの第 3 及び第 4 遅延回路 3 4 及び 3 6 の遅延時間データは、順次書き換えられる。図 1 に示す回路（全体ジッタ・モード）と比較すると、部分ジッタ・モードの場合では、第 1 及び第 2 遅延ブロックを交互に切り替える動作がないので、第 1 遅延ブロック 1 6 をパルス列が通過している間に、第 2 遅延ブロック 1 8 の遅延時間データを書き換えるという動作はできない。しかし、第 2 遅延ブロック 1 8 には、基準パルス列の一部分のパルスしか通過せず、しかもパルス供給回路 1 が供給するパルス列のデータが予めわかっているため、パルスの通過しない時間に第 3 及び

第 4 遅延回路 3 4 及び 3 6 の遅延時間データを書き換えることができる。

【 0 0 5 4 】

第 2 遅延ブロック 1 8 の遅延時間データを書き換えは、例えば、基準パルス列の長さで定まる期間（周期）毎に行う。よって、この周期毎に、図 1 2 (iii) に示すパルス列の立ち上がりエッジ又は立ち下がりエッジの位置が変化し、複数の周期で見たときには、立ち上がりエッジ又は立ち下がりエッジにジッタが発生したパルスを得ることができる（図 1 2 (iv)）。

【 0 0 5 5 】

ただし、ジッタを付加するパルスの隣接するパルス（図 1 2 の例におけるパルス B とパルス D）の間が時間的に十分に離れ、よってパルス 1 個毎に遅延時間データを書き換えることが可能であれば、パルス毎に遅延時間の設定を変えても良い。

【 0 0 5 6 】

第 3 及び第 4 遅延回路における遅延時間は、図 6 等において説明したように、時間に対して所望の関数となるように変化させても良いのは、上述と同様である。

【 0 0 5 7 】

信号合成回路 4 6 は、第 1 及び第 2 遅延ブロック 1 6 及び 1 8 の出力を合成し、基準パルス列においてユーザが指定した所望のパルスにジッタを有するパルスを出力する（図 1 2 (v)）。図 1 2 では、信号合成回路 4 6 に OR 回路を用いた例を示しているが、これに限るものではない。図 1 3 は、基準パルス列を負論理とし、信号合成回路 4 6 に排他的論理和を用いた例を示している。ジッタを付加しないパルスに対応するデータ 1 は負論理で生成する。一方、ジッタを付加するパルスに対応するデータ 2 は、データ 0 から反転して生成している。これを排他的論理和で合成すれば、図 1 3 (v) に示す出力を得ることができる。即ち、立ち下がりと立ち上がりの順番でジッタを含むパルスを生成することもできる。

【 0 0 5 8 】

図 1 1 においては、遅延ブロックが 2 つの例で説明してきたが、これに限るものではない。3 つ以上の遅延ブロックを利用し、その内の 1 つの遅延ブロックに

基準パルス列のジッタを付加しないパルスを供給し、他の遅延ブロックにジッタを付加するパルスを供給し、これら複数の遅延ブロックの出力を合成するようにしても良い。この場合、2つ以上の遅延ブロックにジッタを付加するパルスを供給するので、それぞれの遅延ブロックで付加するジッタ量を異なるものにすれば、更に複雑なジッタを含むパルス列が生成可能となる。例えば、ジッタを付加したい2つのパルスが近接しているために、同じ遅延ブロックでは遅延時間データの書き換えが間に合わない場合であっても、これらパルスを異なる遅延ブロックに供給し、それぞれに異なるジッタ量を付加し合成することで、隣接するパルスに異なる量のジッタを付加することが可能になる。

【 0 0 5 9 】

以上説明してきたように、本発明のジッタ付加回路によれば、遅延時間の設定をインターバル毎に連続的に変更しても、各インターバルにおいてはパルス列中のパルスの順番が前後することがない。よって、デジタル遅延回路を用いることが可能になるので、基準パルス列のパルスの立ち上がりエッジ及び立ち下がりエッジの少なくとも一方に対し、所望のインターバル毎に、ユーザが設定した通りの遅延時間を正確に付加でき、複数のインターバルにおいて所望のジッタを付加できる。更に、ユーザが設定した通りの遅延時間をパルスの各エッジに付加できることから、連続するインターバルに対する遅延時間の変化、即ち、時間に対する遅延時間の変化を所望の関数となるよう制御することもできる。更には、特公平7-97130号公報に記載されているような所望のパルス列を生成する装置と組み合わせ、周知のこうした装置で基準パルス列を生成し、本発明によって所望のジッタを付加したパルス列を生成することも可能になる。

【図面の簡単な説明】

【図1】

本発明によるジッタ付加回路の実施形態の例を示すブロック図である。

【図2】

従来の遅延回路の一例を示すブロック図である。

【図3】

図2に示す従来例におけるタイミング・チャートである。

【図 4】

図 1 に示すジッタ付加回路の例のタイミング・チャートである。

【図 5】

信号合成回路の実施形態の他例を示す図である。

【図 6】

ジッタを付加されたパルスと遅延時間の推移を示す概念図である。

【図 7】

遅延時間推移波形の概略波形が三角波の場合の一例を示す図である。

【図 8】

遅延時間推移概略曲線が更に他の関数曲線である場合の例を示す図である。

【図 9】

デジタル遅延回路の等価回路を示すブロック図である。

【図 1 0】

本発明によるジッタを付加したパルス列と基準パルス列の関係を時間軸上から比較した波形図である。

【図 1 1】

本発明の他の実施形態の例を示すブロック図である。

【図 1 2】

図 1 1 における回路動作の一例を説明する波形図である。

【図 1 3】

図 1 1 における回路において、信号合成に排他的論理和を用いた場合の動作例を説明する波形図である。

【符号の説明】

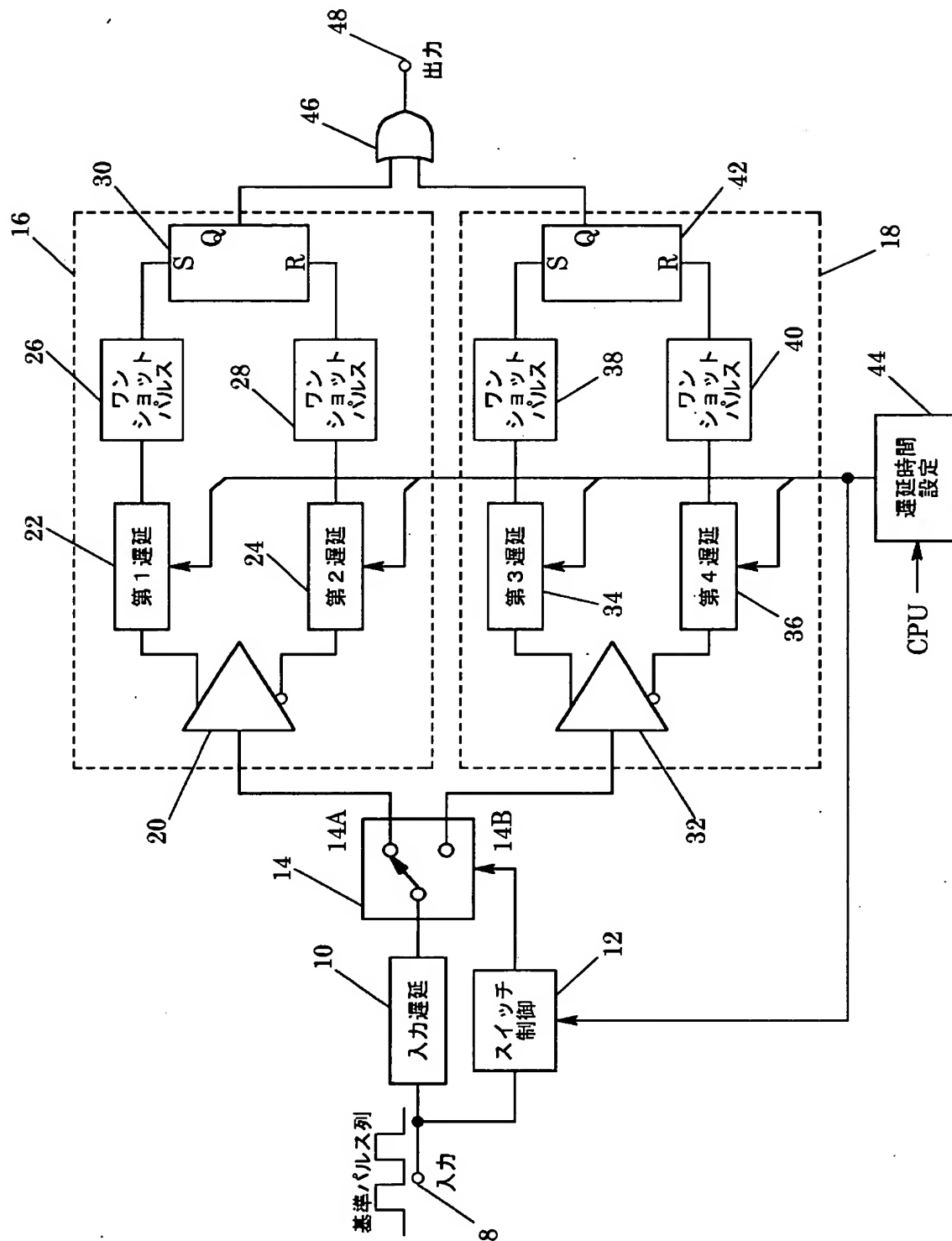
- 1 パルス供給回路
- 2 メモリ
- 3 第 1 ドライブ回路
- 4 第 2 ドライブ回路
- 8 入力端子
- 1 0 入力遅延回路

1 2	スイッチ制御回路
1 4	スイッチ
1 4 A	スイッチ端子 A
1 4 B	スイッチ端子 B
1 6	第 1 遅延手段 (第 1 遅延ブロック)
1 8	第 2 遅延手段 (第 2 遅延ブロック)
2 0	第 1 バッファ
2 2	第 1 遅延回路
2 4	第 2 遅延回路
2 6	第 1 ワンショット・パルス回路
2 8	第 2 ワンショット・パルス回路
3 0	第 1 S R フリップフロップ
3 2	第 2 バッファ
3 4	第 3 遅延回路
3 6	第 4 遅延回路
3 8	第 3 ワンショット・パルス回路
4 0	第 4 ワンショット・パルス回路
4 2	第 2 S R フリップフロップ
4 4	遅延時間設定回路
4 6	信号合成回路
4 8	出力端子
D 1	第 1 遅延ブロックのインターバル (使用期間)
D 2	第 2 遅延ブロックのインターバル (使用期間)
t d	遅延時間
P w	パルス幅

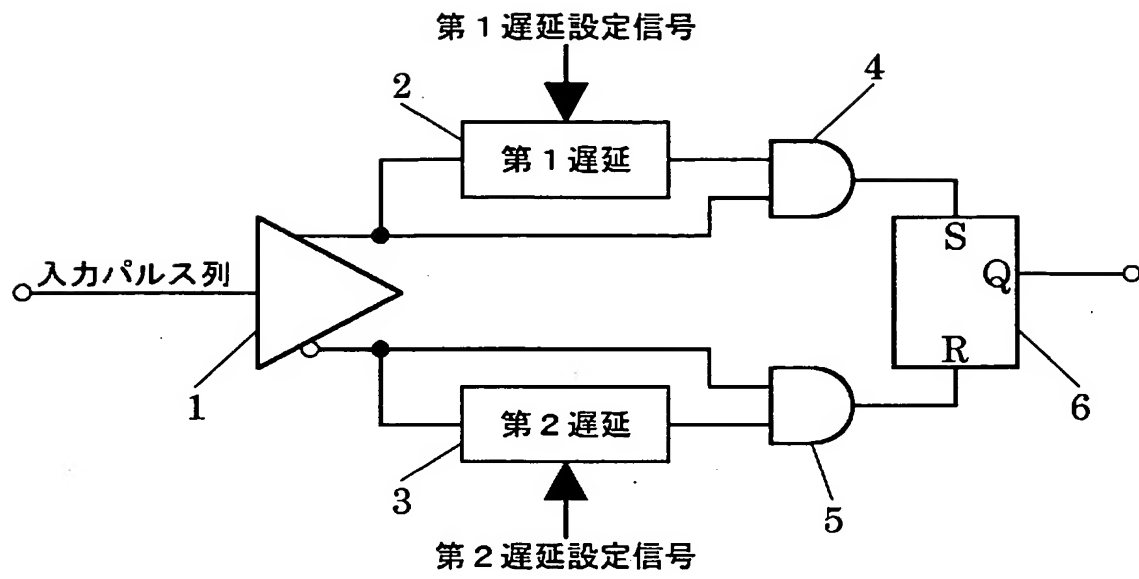
【書類名】

図面

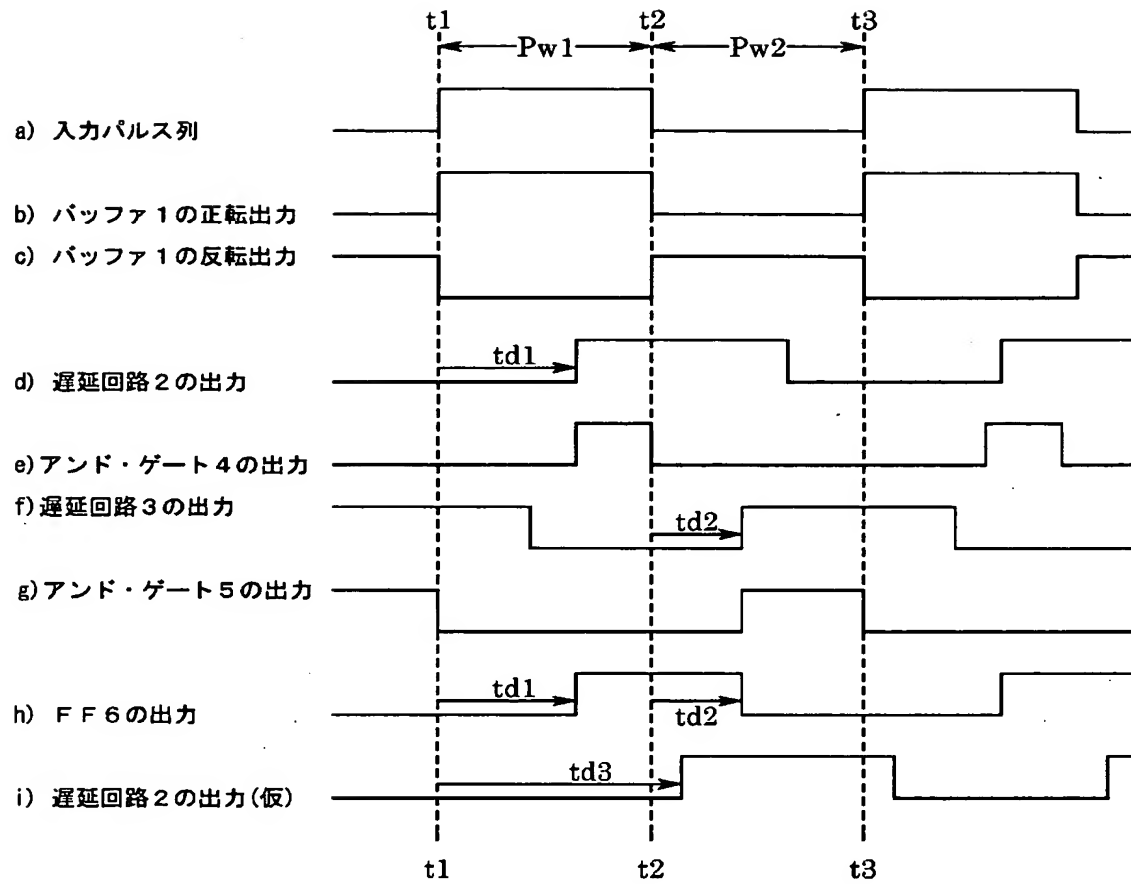
【図 1】



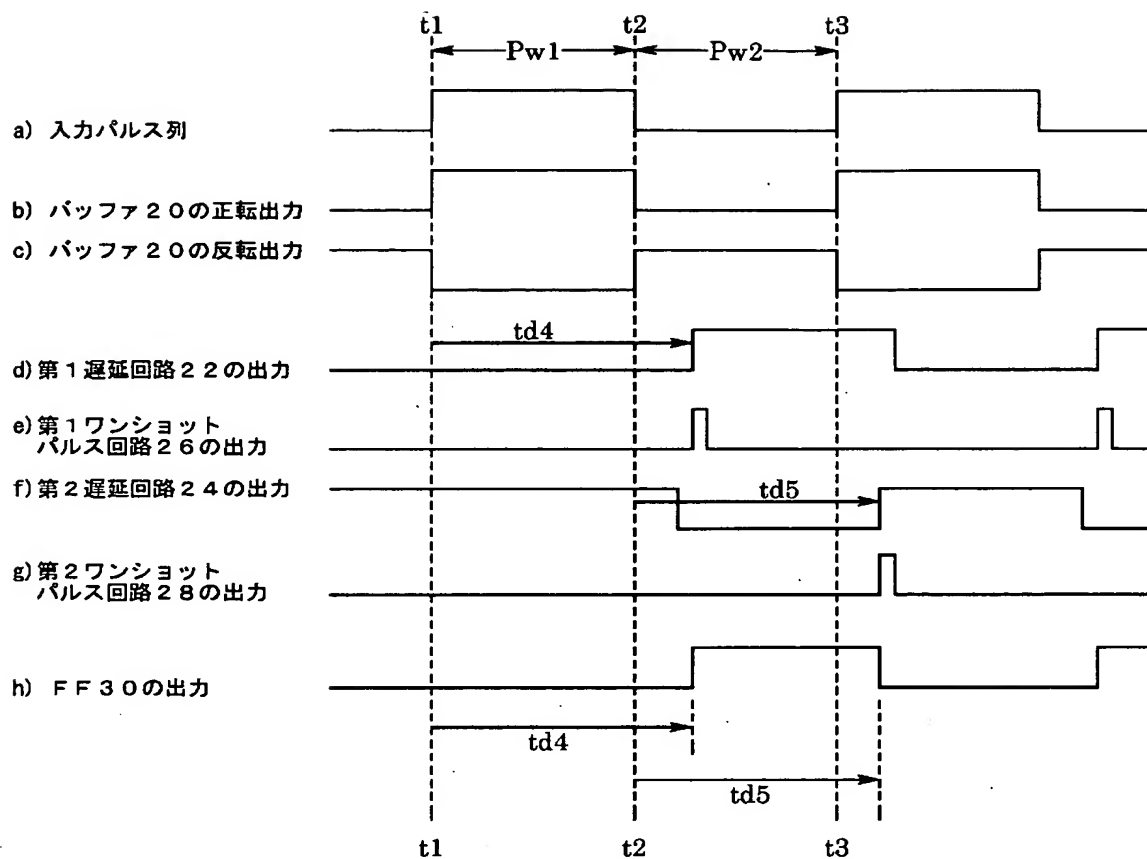
【図 2】



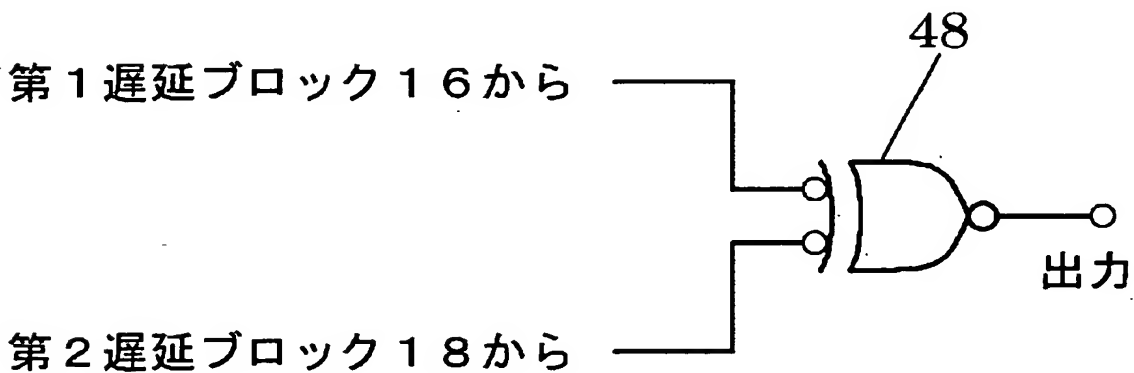
【図 3】



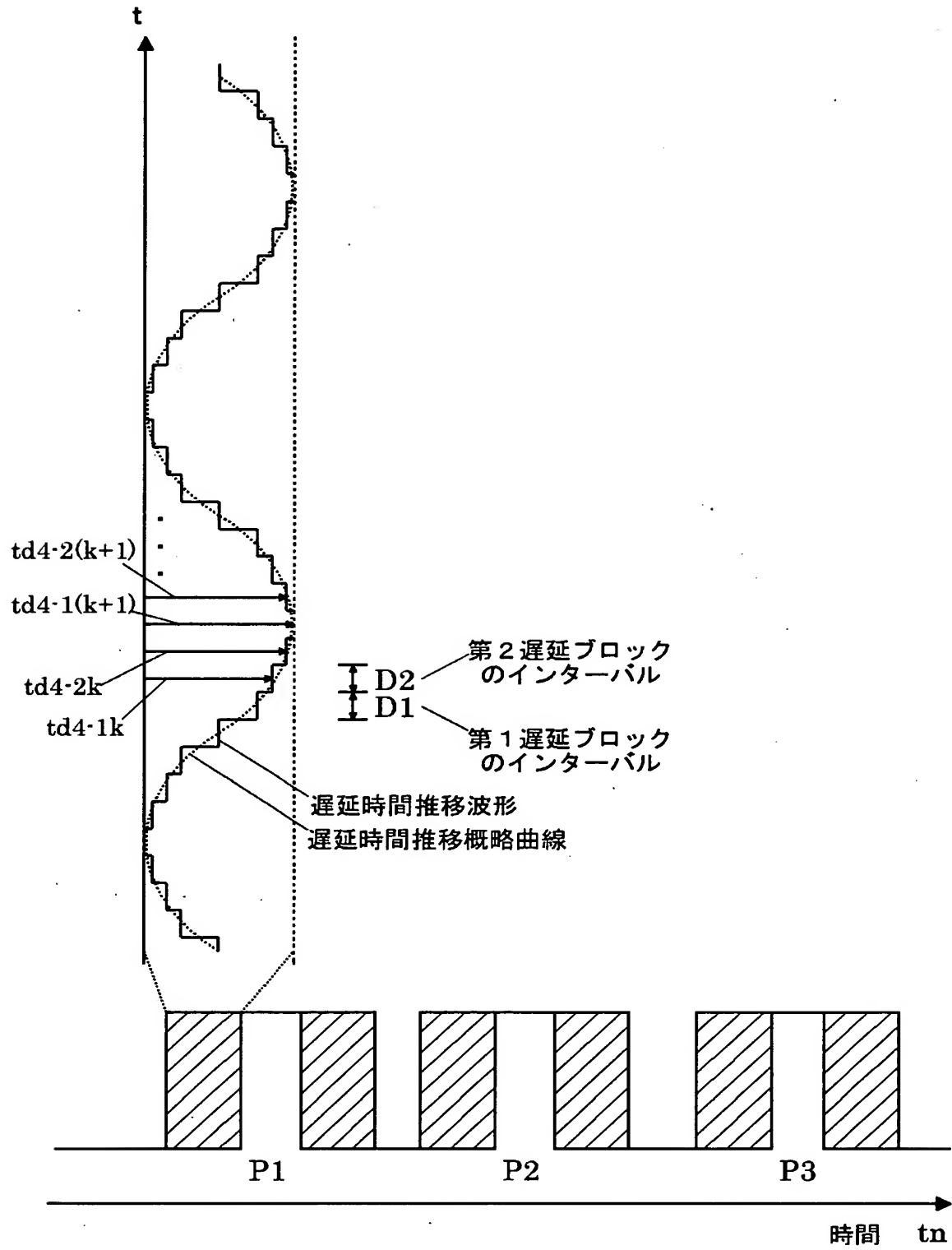
【図 4】



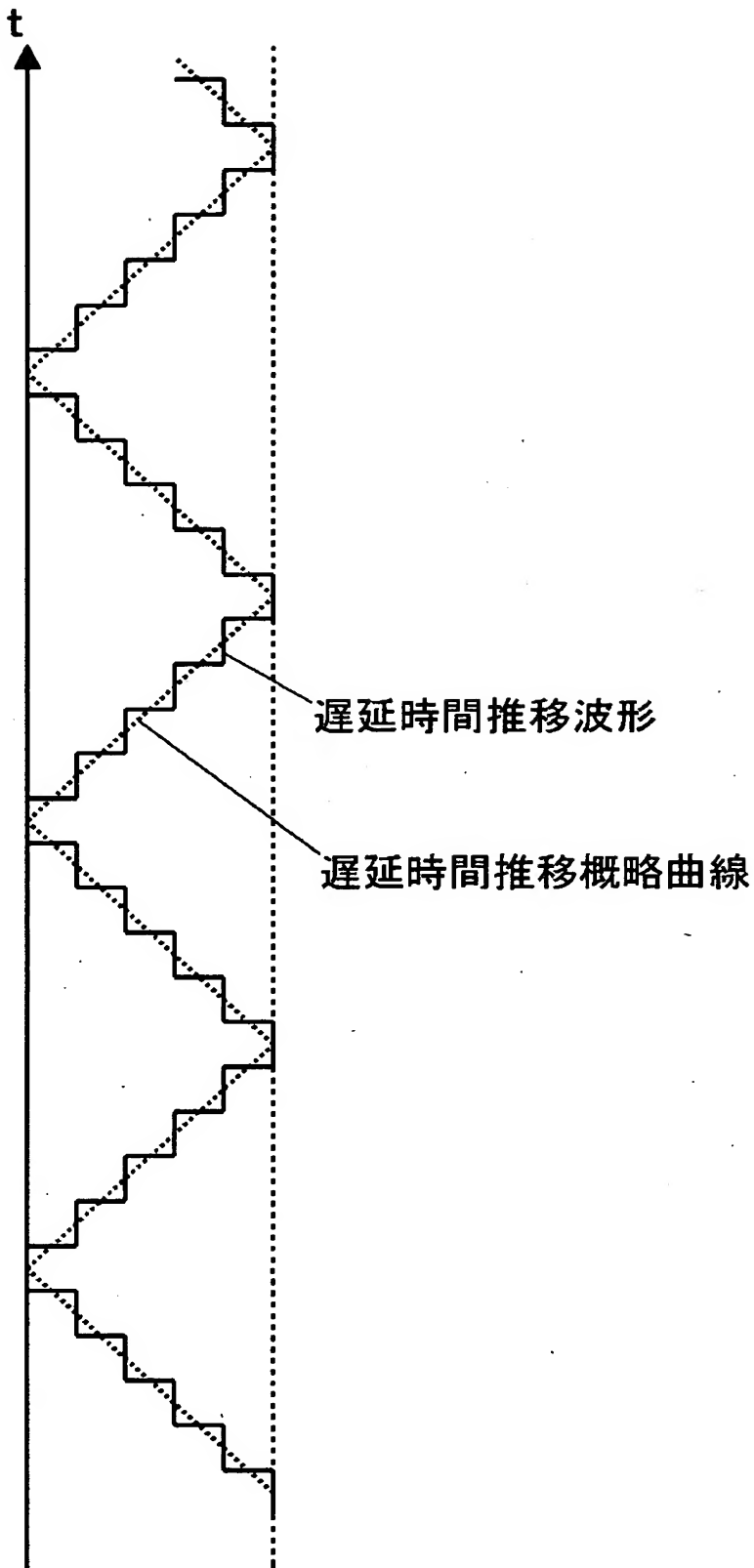
【図 5】



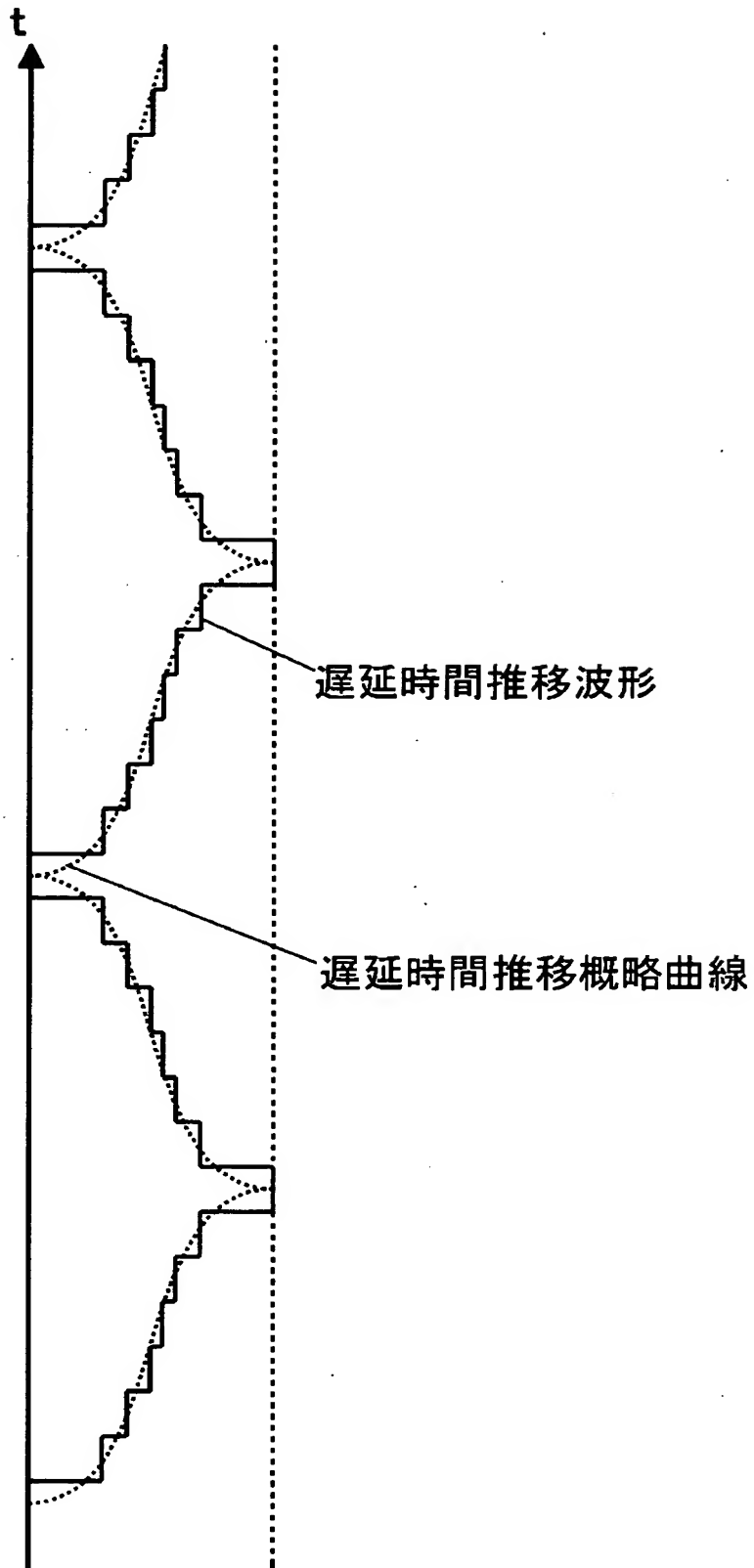
【図 6】



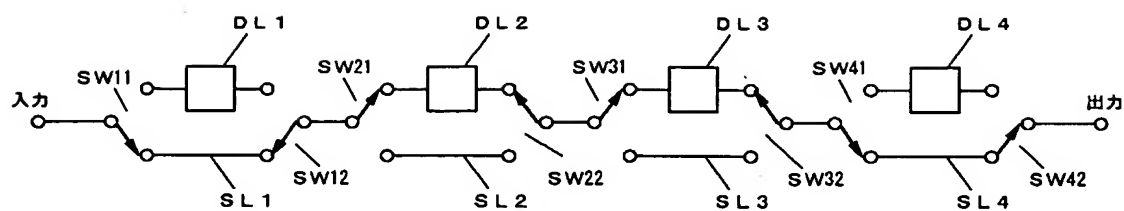
【図7】



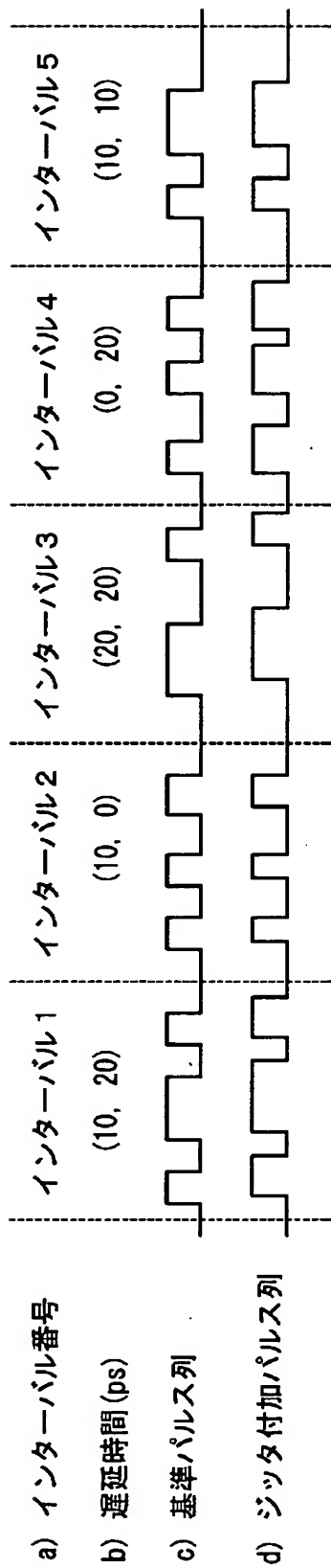
【図 8】



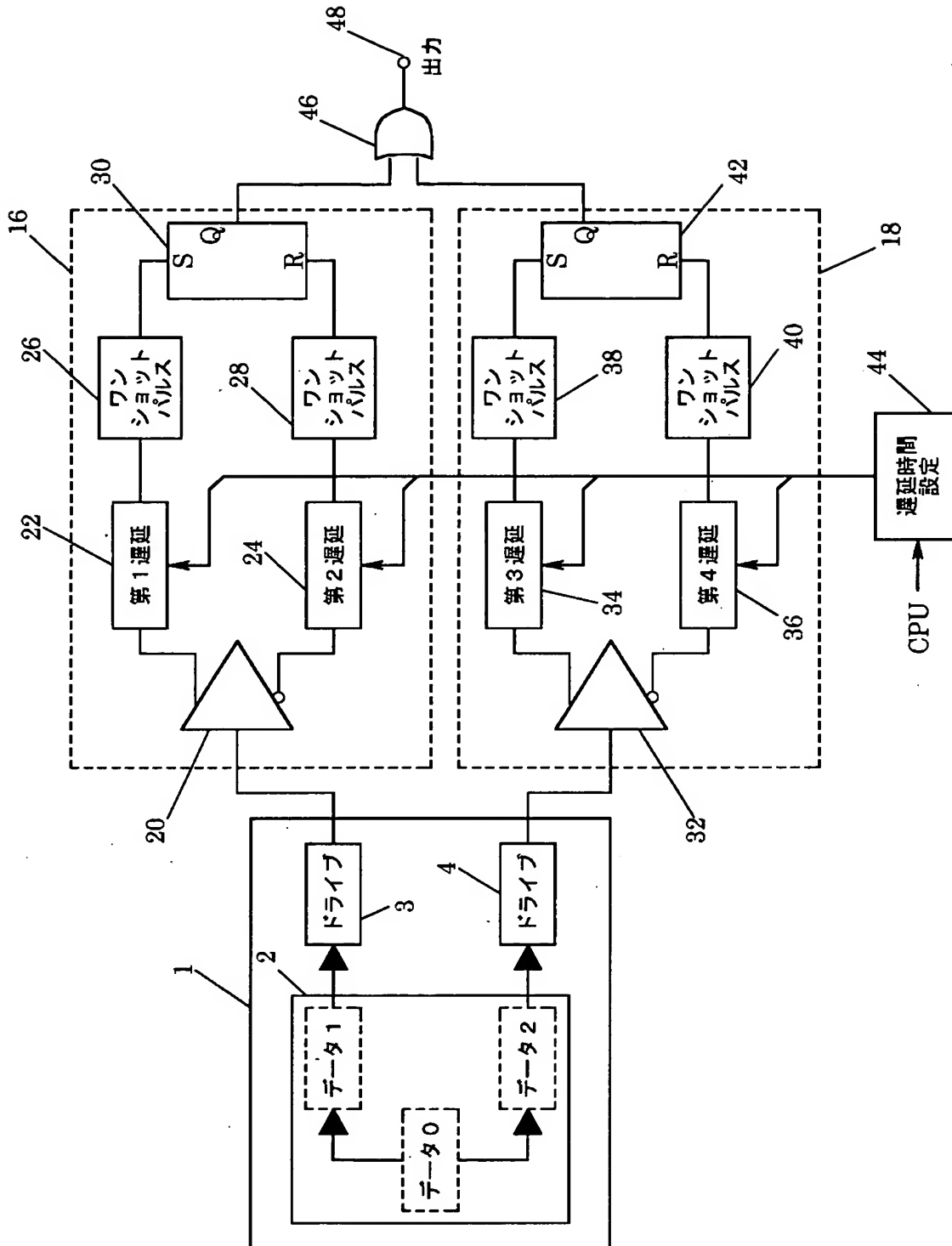
【図 9】



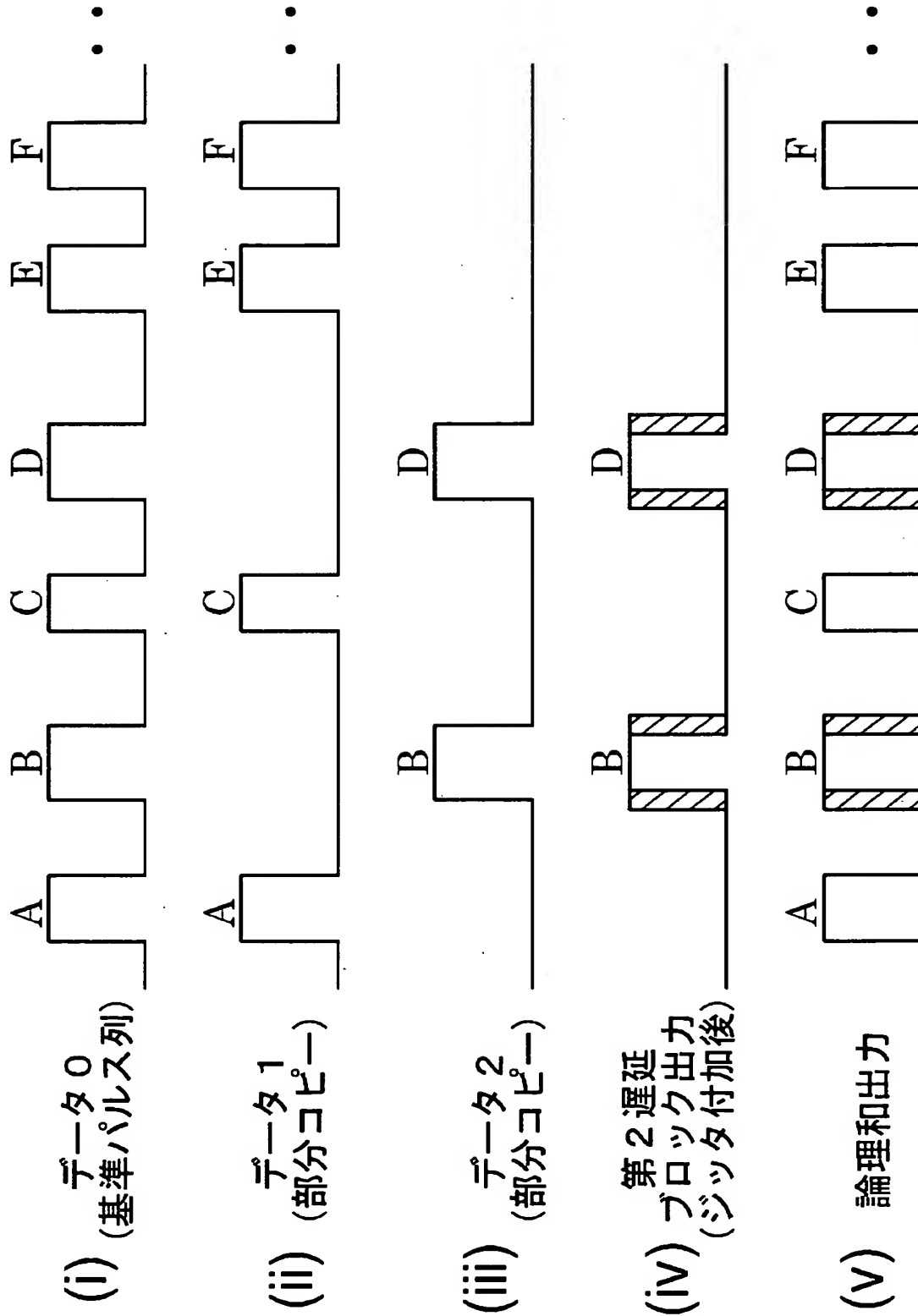
【図 10】



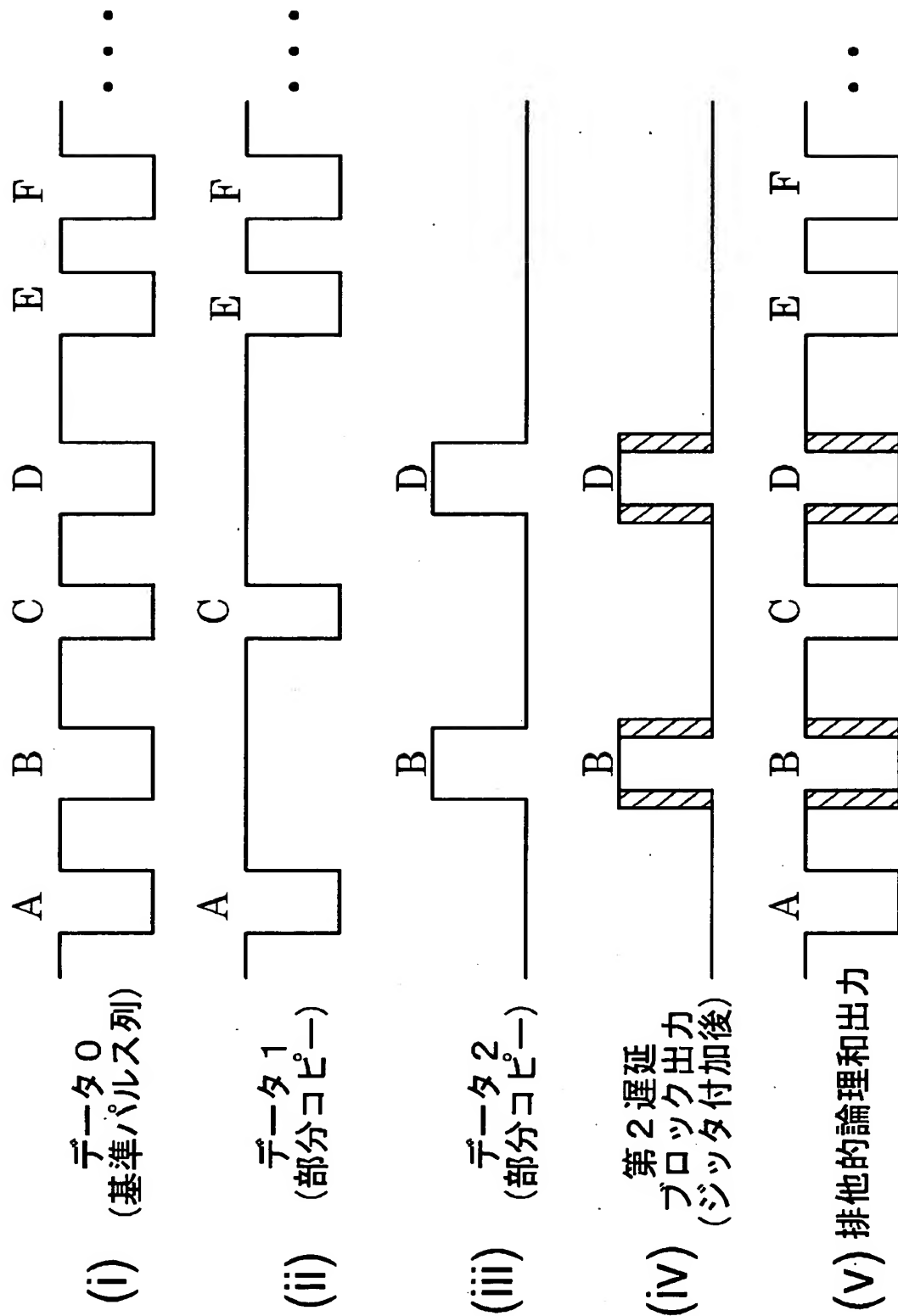
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 基準パルス列の各エッジに設定通り正確なジッタ量を付加できるようにする。

【解決手段】 第 1 及び第 2 遅延ブロック 1 6 及び 1 8 は、入力される基準パルス列の各エッジを設定された遅延時間だけ遅延して出力する。信号合成回路 4 6 は、第 1 及び第 2 遅延ブロックの出力を合成して出力する。遅延時間制御回路 4 4 は、第 1 及び第 2 遅延ブロック 1 6 及び 1 8 における各エッジの遅延時間を制御する。スイッチ 1 4 は、基準パルス列を第 1 又は第 2 遅延ブロックに選択的に供給する。入力遅延回路 1 0 は、基準パルス列を遅延してパルスがスイッチ制御回路に達する後にスイッチ 1 4 に達するようにする。このとき、スイッチ制御回路 1 2 は、遅延時間設定回路 4 4 が第 2 遅延ブロック 1 8 に遅延時間を設定した後にパルスを受けると、スイッチ 1 4 がパルスを供給する先を第 1 遅延ブロックから第 2 遅延ブロックに切り替える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [503050951]

1. 変更年月日 2002年12月27日

[変更理由] 新規登録

住 所 スイス国、シャーフアウセン、ツェーハー 8201、ボルダ
ーガッセ 3

氏 名 テクトロニクス・インターナショナル・セールス・ゲーエムベ
ーハー